|  |
| --- |
|  |
| МИНОБРНАУКИ РОССИИ |
| Федеральное государственное бюджетное образовательное учреждение  высшего образования  **«МИРЭА - Российский технологический университет»**  **РТУ МИРЭА** |

Институт Информационных Технологий

Кафедра Вычислительной Техники (ВТ)

**ОТЧЁТ ПО ПРАКТИЧЕСКОЙ РАБОТЕ №** 2

«Основы статического временного анализа»

по дисциплине

«Схемотехника устройств компьютерных систем»

|  |  |
| --- | --- |
| Выполнил студент группы  ИВБО-06-22 | Визитиу Д.В. |
| Принял ассистент кафедры ВТ | Дуксин Н.А. |
| Практическая работа выполнена | «\_\_»\_\_\_\_\_\_\_2024 г. |
| «Зачтено» | «\_\_»\_\_\_\_\_\_\_2024 г. |

Москва 2024

# АННОТАЦИЯ

Данная работа включает в себя 11 рисунков, 10 формул и 2 листинга. Количество страниц в работе — 18.

# СОДЕРЖАНИЕ

[ВВЕДЕНИЕ 4](#_Toc160366509)

[1 ПРОЕКТИРОВАНИЕ СХЕМЫ, СОГЛАСНО ВАРИАНТУ 5](#_Toc160366510)

[2 ВРЕМЕННОЙ АНАЛИЗ СХЕМЫ 6](#_Toc160366511)

[2.1 Получение из САПР расчета для параметров WNS и WHS (для случая анализа по Setup и по Hold) 6](#_Toc160366512)

[2.2 Ручной расчет показателя Slack (для случая анализа по Setup и по Hold) 10](#_Toc160366513)

[2.3 Slack гистограммы проекта (для случая анализа по Setup и по Hold) 13](#_Toc160366514)

[ЗАКЛЮЧЕНИЕ 14](#_Toc160366515)

[СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ 15](#_Toc160366516)

# ВВЕДЕНИЕ

В данной практической работе необходимо произвести расчёт для параметров WNS (Worst Negative Slack) и WHS (Worst Hold Slack) при анализе по Setup и по Hold для спроектированного устройства согласно заданию.

Персональный вариант: «a – b \* c / d».

# ПРОЕКТИРОВАНИЕ СХЕМЫ, СОГЛАСНО ВАРИАНТУ

Название модуля – «main». Модуль имеет входной порт «clk» (синхросигнал), двадцати восьми битный входной порт «in» и шестидесяти пяти битный выходной порт «res».

Создаются двадцати восьми битный регистр «ff1» и шестидесяти пяти битный регистр «ff2».

В блоке «always», работающем по переднему фронту синхросигнала, регистру «ff1» присваивается значения входного порта «in», а потом регистру «ff2» присваивается результат выражения «ff1[127:96] - ff1[95:64] \* ff1[63:32] / ff1[31:0]», которое соответствует варианту.

С помощью оператора непрерывного присваивания «assign» к выходному порту «res» подключается выход регистра «ff2».

Код модуля верхнего уровня представлен в Листинге 1.1, а его RTL-схема представлена на Рисунке 1.1.

*Листинг 1.1 – Реализация функции из персонального варианта*

`timescale 1ns / 1ps

module main(

input clk,

input [127:0] in,

output [64:0] out);

reg [127:0] ff1;

reg [64:0] ff2;

always@(posedge clk)

begin

ff1 <= in;

ff2 <= ff1[127:96] - ff1[95:64] \* ff1[63:32] / ff1[31:0];

end

assign out = ff2;

endmodule

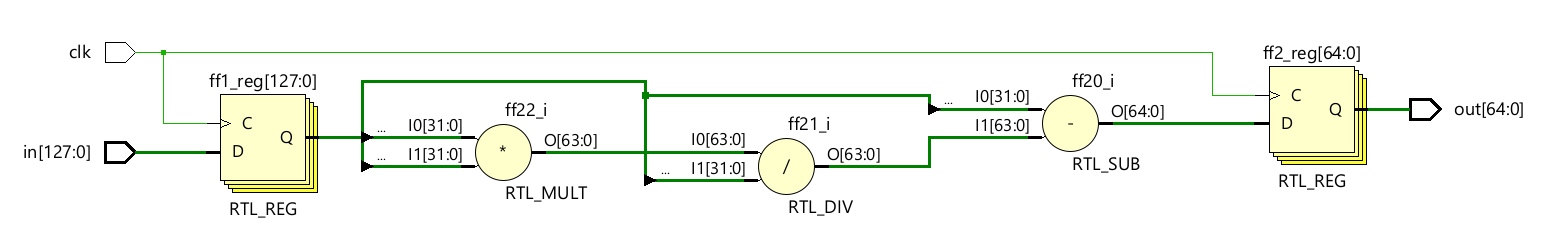


Рисунок 1.1 — RTL-схема модуля

В проект добавлен файл проектных ограничений, в котором создается тактовый генератор. Код файла проектных ограничений представлен в Листинге 1.2.

*Листинг 1.2 – Проектные ограничения*

create\_clock -add -name clock -period 10.00 -waveform {0 5} [ get\_ports { clk } ]

# 

# ВРЕМЕННОЙ АНАЛИЗ СХЕМЫ

## Получение из САПР расчета для параметров WNS и WHS (для случая анализа по Setup и по Hold)

Произведены синтез и имплементация схемы проекта для ПЛИС xc7a100tcsg324-1.

Сначала необходимо рассмотреть расчеты временного анализа по Setup. По условию нужен показатель «Worst Negative Slack», поэтому выбирается путь с наименьшим значением Slack. Открыв вкладку Setup раздела Intra-Clock Path и дважды нажав на необходимый путь, можно получить расширенный отчет Path Report. Данный отчет состоит из четырех разделов.

Первый раздел отчета по временному анализу по Setup представлен на Рисунке 2.1.

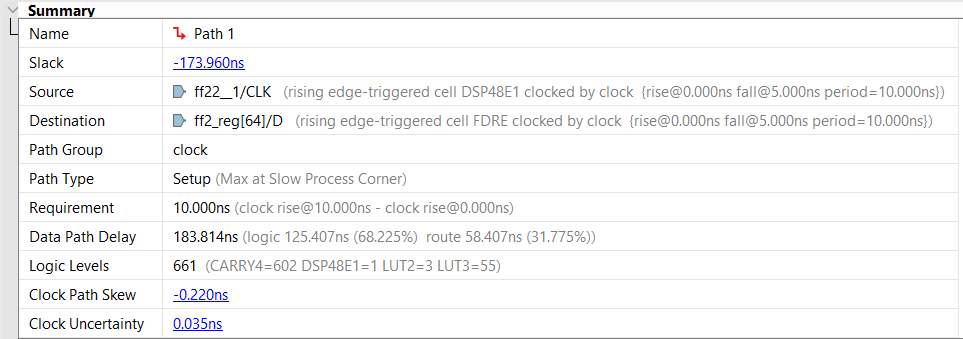


Рисунок 2.1 — Раздел «Summary» отчета по временному анализу схемы по Setup

В данном разделе представлены общие сведения, такие как имя пути «Name», имя тактового сигнала «PathGroup» и период тактового сигнала «Requirement». Началом пути является тактовый вход триггера «ff1» («Source»), а заканчивается путь на входе триггера «ff2» («Destination»). Также указывается задержка распространения данных «Data Path Delay» (183,814 нс), количество уровней комбинационной логики «Logic Levels» и расфазировка тактового сигнала «Clock Path Skew».

Показатель Slack для случая анализа по Setup равняется -173,96 нс, что означает нарушение ограничения по Slack, так как данные доходят до второго триггера позже, чем это требуется.

В конце раздела приводится значение неопределенности для тактового сигнала «Clock Uncertainty», равный 0,035 нс. Неопределенность появляется из-за дрожания тактового сигнала (jitter), явления, при котором каждый отдельный фронт может прийти чуть раньше или чуть позже из-за несовершенства тактового генератора.

Следующий раздел представлен на Рисунке 2.2.

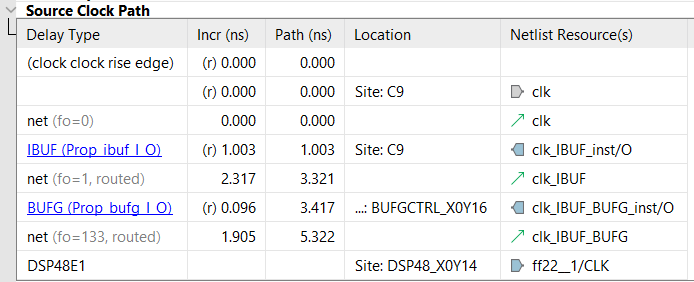


Рисунок 2.2 — Раздел «Source Clock Path» отчета по временному анализу схемы по Setup

В этом разделе описаны задержки, оказывающие влияние на распространение запускающего фронта. В столбце «Incr» указаны значения отдельных задержек, а в столбце «Path» сумма текущей и всех предыдущих задержек. Можно увидеть, что запускающий фронт появляется в нулевой момент времени и распространяется через входной («IBUF») и тактовый («BUFG») буферы. Общая задержка распространения запускающего фронта составляет 5,322 нс.

В разделе, представленном на Рисунке 2.3, указаны задержки при распространении данных.

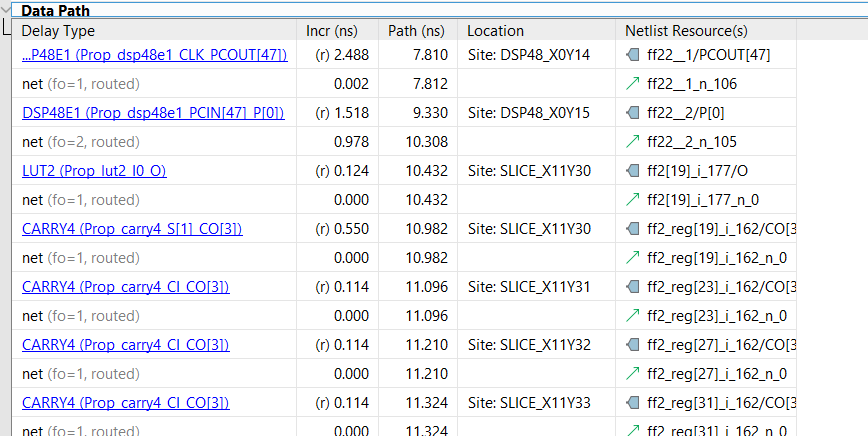


Рисунок 2.3 — Раздел «Data Path» отчета по временному анализу схемы по Setup

Последний раздел представлен на Рисунке 2.4.

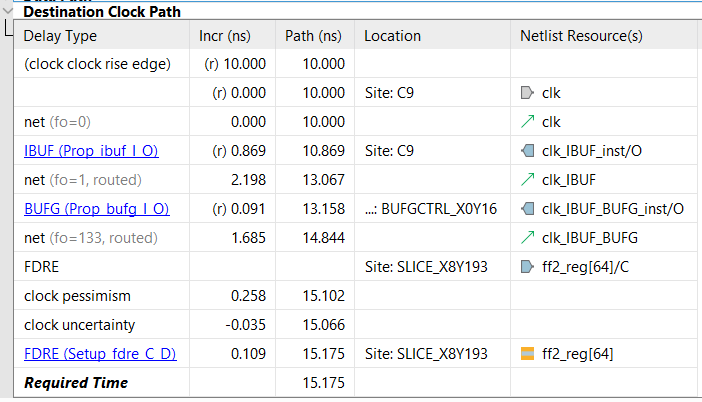


Рисунок 2.4 — Раздел «Destination Clock Path» отчета по временному анализу схемы по Setup

В этом разделе приводится расчёт требуемого времени прибытия данных «Required Time». Защелкивающий фронт появляется спустя период тактового сигнала, поэтому в первой строке отчета указано 10 нс.

Далее до строки с надписью «FDRE» указываются задержки при распространении защелкивающего фронта, который проходит через входной и тактовый буферы и попадает на вход для синхросигнала триггера «ff2» в момент времени 14,844 нс. После строки с надписью «FDRE» показаны еще три задержки, которые представляют из себя время установки для триггера «ff2» (0.029 нс), а также пессимизм «Clock Pessimism» (0.336 нс) и неопределенность «Clock Uncertainty» (-0.035 нс) тактового сигнала.

Далее необходимо рассмотреть расчеты временного анализа по Hold. По условию нужен показатель «Worst Hold Slack», поэтому выбирается путь с наибольшим значением Slack. Выбрав Hold в разделе Intra-Clock Path, можно открыть расширенный отчет Path Report для анализа на минимальное время распространения. Отчет также состоит из четырех разделов. Данные в разделах Summary, Source Clock Path и DataPath имеют тот же самый смысл, что и при анализе по Setup.

Первый раздел отчета по временному анализу по Hold представлен на Рисунке 2.5.

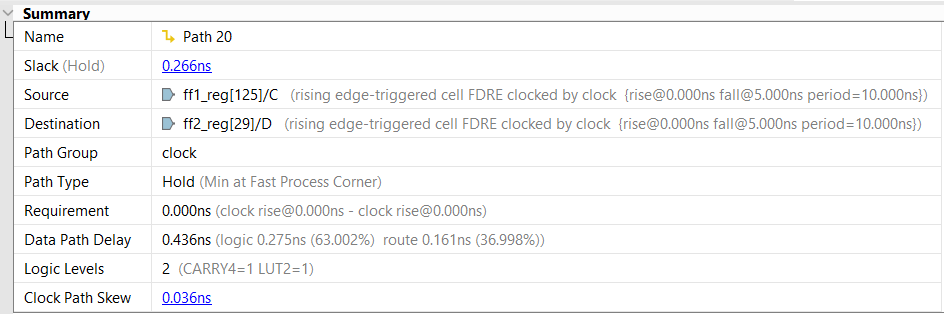


Рисунок 2.5 — Раздел «Summary» отчета по временному анализу схемы по Hold

Показатель Slack для случая анализа по Hold равняется 0.208 нс, что является допустимым значением, так как следующие данные на второй регистр приходят позже, чем требуется. Задержка распространения данных «Data Path Delay» равна 183,814 нс.

Следующий раздел представлен на Рисунке 2.6.

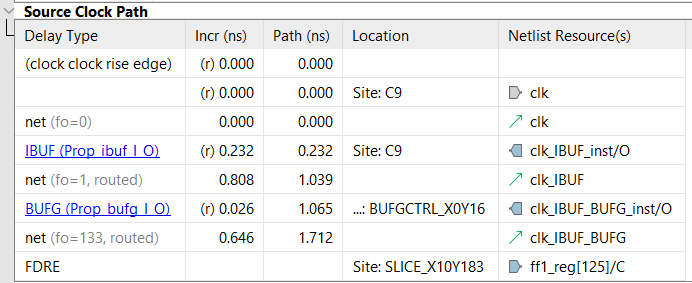


Рисунок 2.6 — Раздел «Source Clock Path» отчета по временному анализу схемы по Hold

Общая задержка распространения запускающего фронта составляет 1,712 нс.

В разделе, представленном на Рисунке 2.7, указаны задержки при распространении данных.

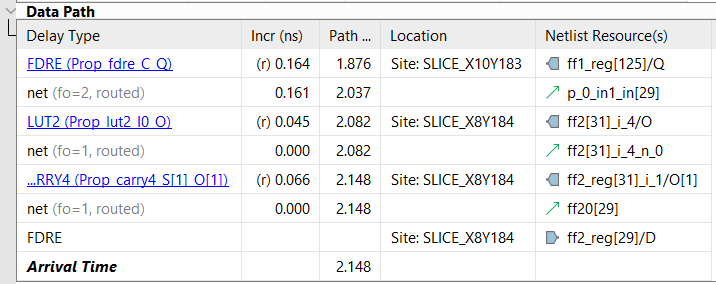


Рисунок 2.7 — Раздел «Data Path» отчета по временному анализу схемы по Hold

Последний раздел представлен на Рисунке 2.4.

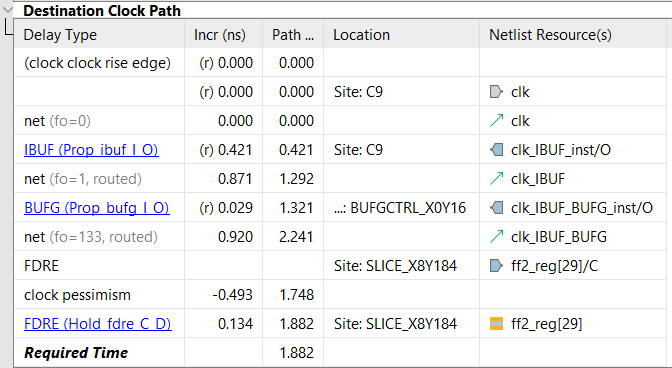


Рисунок 2.8 — Раздел «Destination Clock Path» отчета по временному анализу схемы по Hold

В этом разделе начальное значение в столбцах Incr и Path равно 0 нс, так как при анализе по Hold защелкивающий фронт рассматривается относительно предыдущих данных и появляется в тот же момент времени, что и запускающий фронт для следующих данных.

До строки с надписью «FDRE» указываются задержки при распространении защелкивающего фронта, который проходит через входной и тактовый буферы и попадает на вход для синхросигнала триггера «ff2» в момент времени 2,241 нс. После строки с надписью «FDRE» показаны еще две задержки, которые представляют из себя время удержания для триггера «ff2» (0.134 нс), а также пессимизм тактового сигнала «Clock Pessimism» (-0.493 нс).

## Ручной расчет показателя Slack (для случая анализа по Setup и по Hold)

Временной анализ по Setup проводится для самого пессимистичного случая, которому соответствует максимальное время распространения данных и минимальное время распространения синхросигнала.

Из расчетов, полученных из САПР Vivado, для случая анализа по Setup известны следующие значения:

* максимальная задержка тактового сигнала от источника *Tscd\_max (Source Clock Delay),* равная 5,322 нс;
* минимальная задержка тактового сигнала от источника до тактового входа триггера «ff2» *Tdcd\_min (Destination Clock Delay)*, равная 4,844 нс;
* время установки *Tsu (SetUp time)*, равное 0,109 нс;
* максимальное время прибытия данных на вход защелкивающего триггера *Tdd\_max (Data Delay)*, равное 183,814 нс;
* пессимизм тактового сигнала *Tcp (Clock Pessimism)*, равный 0,258 нс;
* значение неопределенности тактового сигнала *Tcu (Clock Uncertainty)*, равное -0,035 нс.

Формула для *Tsca\_max (Source Clock Arrival time)*, максимального времени прибытия фронта к запускающему триггеру, представлена в Формуле 2.1.

|  |  |
| --- | --- |
|  | (2.1) |

Формула для *Tda\_max (Data Arrival time)*, максимального времени прибытия данных на вход защелкивающего триггера, представлена в Формуле 2.2.

|  |  |
| --- | --- |
|  | (2.2) |

Формула для *Tdca\_min (Destination Clock Arrival time)*, минимального времени прибытия фронта к защелкивающему триггеру, представлена в Формуле 2.3. *Tclk* – период синхросигнала, равный 10 нс.

|  |  |
| --- | --- |
|  | (2.3) |

Формула для *Tdr\_min (Data Required time)*, требуемого времени прибытия данных, представлена в Формуле 2.4.

|  |  |
| --- | --- |
|  | (2.4) |

Расчет значения Slack представлен в Формуле 2.5.

|  |  |
| --- | --- |
|  | (2.5) |

Временной анализ по Hold проводится для самого пессимистичного случая, которому соответствует минимальное время распространения данных и максимальное время распространения синхросигнала.

Из расчетов, полученных из САПР Vivado, для случая анализа по Hold известны следующие значения:

* минимальная задержка тактового сигнала от источника *Tscd\_min*, равная 1,712 нс;
* максимальная задержка тактового сигнала от источника до тактового входа триггера «ff2» *Tdcd\_max*, равная 2,241 нс;
* время удержания *Th (Hold time)*, равное 0,134 нс;
* минимальное время прибытия данных на вход защелкивающего триггера *Tdd\_min*, равное 0,436 нс;
* пессимизм тактового сигнала *Tcp*, равный -0,493 нс.

Формула для *Tsca\_min,* минимального времени прибытия фронта к запускающему триггеру, представлена в Формуле 2.6.

|  |  |
| --- | --- |
|  | (2.6) |

Формула для *Tda\_min*, минимального времени прибытия данных на вход защелкивающего триггера, представлена в Формуле 2.7.

|  |  |
| --- | --- |
|  | (2.7) |

Формула для *Tdca\_max*, максимального времени прибытия фронта к защелкивающему триггеру, представлена в Формуле 2.8.

|  |  |
| --- | --- |
|  | (2.8) |

Формула для *Tdr\_max*, требуемого времени прибытия данных, представлена в Формуле 2.9.

|  |  |
| --- | --- |
|  | (2.9) |

Расчет значения Slack представлен в Формуле 2.10.

|  |  |
| --- | --- |
|  | (2.10) |

Результаты ручных расчетов сошлись с результатами расчетов в САПР Vivado как для случая анализа по Setup, так и для случая анализа по Hold.

## Slack гистограммы проекта для случая анализа по Setup и по Hold

Slack гистограммы – еще один способ временного анализа.

Slack гистограмма, сделанная для случая анализа по Setup представлена на Рисунке 2.9.

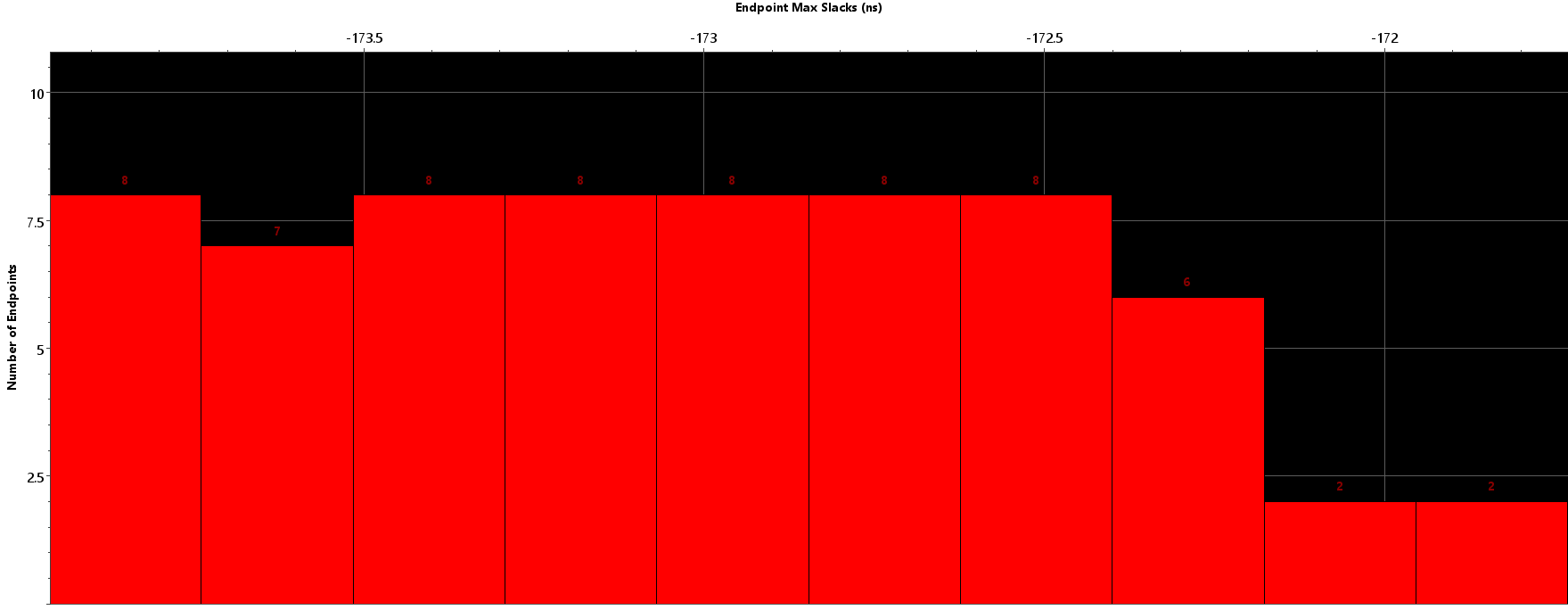


Рисунок 2.9 — Slack гистограмма по временному анализу схемы по Setup

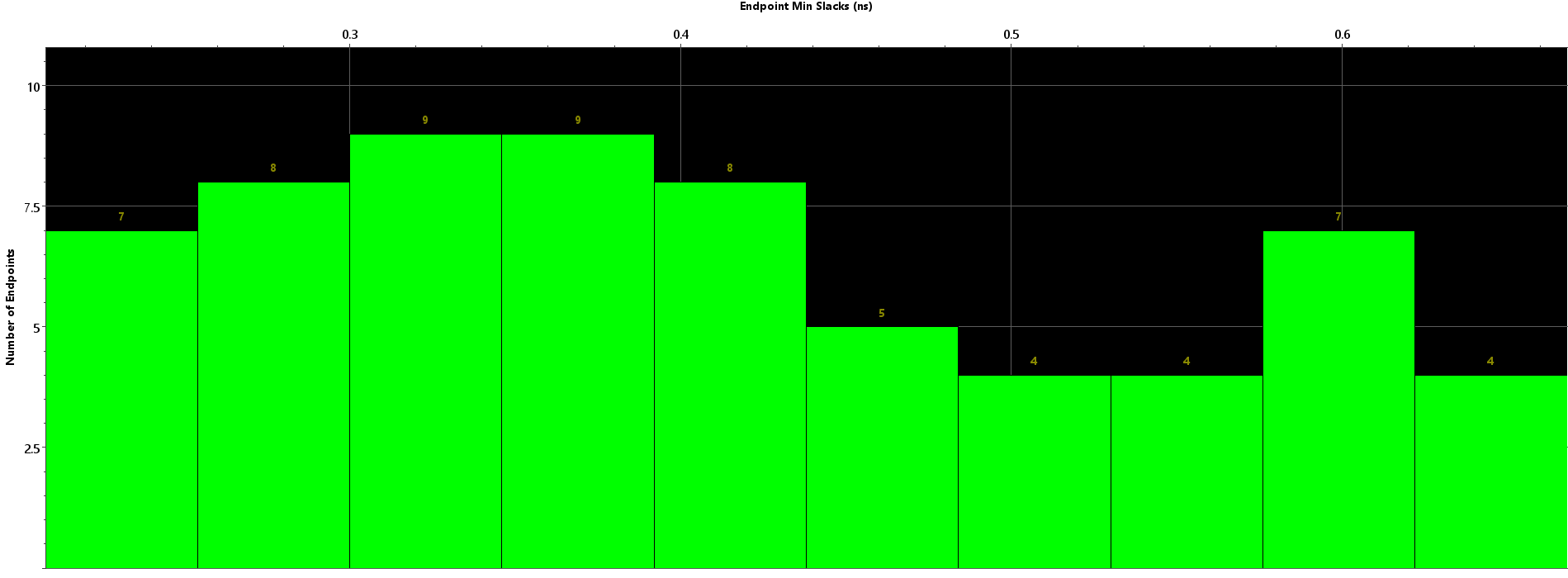


Рисунок 2.10 — Slack гистограмма по временному анализу схемы по Hold

Ось X представляет различные пути, а ось Y представляет количество путей в каждой ячейке.

# ЗАКЛЮЧЕНИЕ

//В ходе практической работы рассмотрены различные варианты реализации заданной схемы, проанализированы результаты синтеза и имплементации. При увеличении числа разрядов, количество затрачиваемых аппаратных ресурсов заметно увеличивается, знаковые операнды также влияют на количество затрачиваемых ресурсов.

# СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Методические указания по ПР № 1 — URL: https://online-edu.mirea.ru/pluginfile.php?file=%2F1225651%2Fmod\_assign%2Fintroattachment%2F0%2F%D0%9F%D1%80%D0%B5%D0%B7%D0%B5%D0%BD%D1%82%D0%B0%D1%86%D0%B8%D1%8F\_%D0%9F%D1%80%D0%B0%D0%BA%D1%82%D0%B8%D0%BA%D0%B0\_1.pdf&amp;forcedownload=1 (Дата обращения: 18.02.2024).

2. Тарасов И.Е. ПЛИС Xilinx. Языки описания аппаратуры VHDL и Verilog, САПР, приемы проектирования. — М.: Горячая линия — Телеком, 2021. — 538 с.: ил.

3. Смирнов С.С. Информатика [Электронный ресурс]: Методические указания по выполнению практических и лабораторных работ / С.С. Смирнов — М., МИРЭА — Российский технологический университет, 2018. — 1 электрон. опт. диск (CD-ROM).